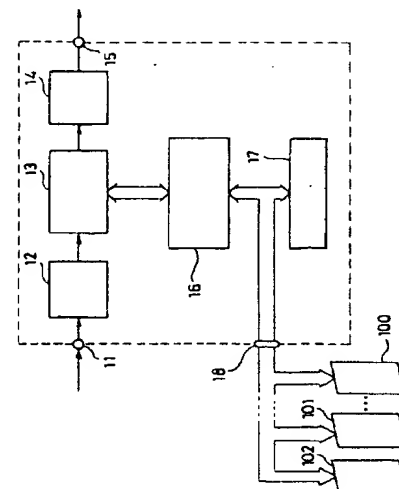


(54) FLEXIBLE ELECTRONIC CIRCUIT DEVICE

- (11) 5-284524 (A) (43) 29.10.1993 (19) JP
 (21) Appl. No. 3-274212 (22) 22.10.1991
 (71) TOSHIBA CORP (72) KAZUO KONISHI
 (51) Int. Cl.⁵ H04N9/78, H03M1/00, H04N9/73, H04N9/79, H04N9/80//G11B20/00

PURPOSE: To bring a profit to both of a user and a maker at the time of improving the function or changing the signal form by supplying a new program to perform the signal processing in a system, which is different from the system used till then, on the user side having the same fundamental circuit device.

CONSTITUTION: A signal to be processed is subjected to A/D conversion and is inputted to a fundamental circuit part 13, and a flex circuit 16 can be changed to a form different from the signal processing form dependent upon only the fundamental circuit part 13 together with the function block of the fundamental circuit part 13 by the control of a microcomputer 17. That is, the flex circuit 16 can support the part which the function of the fundamental circuit part 13 cannot cover. The signal outputted from the fundamental circuit part 13 is led out to an output terminal 15 through a D/A converter 14.



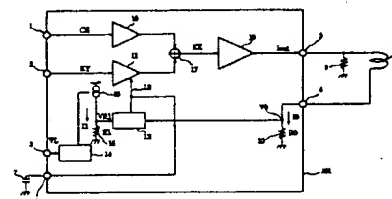
12: A/D converter

(54) RECORDING CURRENT AMPLIFYING CIRCUIT

- (11) 5-284525 (A) (43) 29.10.1993 (19) JP
 (21) Appl. No. 4-46493 (22) 4.3.1992
 (71) NEC CORP (72) KIYOUTAROU YANAGISAWA(1)
 (51) Int. Cl.⁵ H04N9/79, G11B5/027, H04N5/91

PURPOSE: To reduce the number of constituting parts and to enable an optimized recording current to flow by using the relative precision of an integrated circuit to build in a resistance, which detects the recording current level, and a reference resistance and balancing the variance of signal voltage characteristics and that of internal reference voltage characteristics with each other.

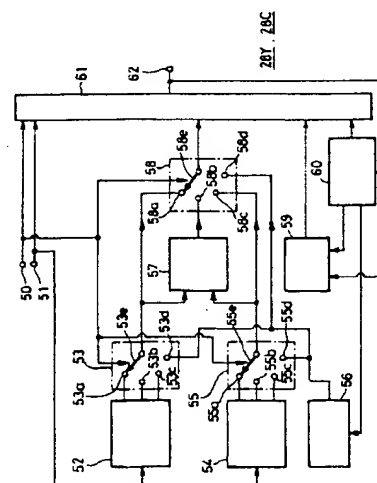
CONSTITUTION: A recording signal current I_{out} outputted from a current amplifying circuit 19 flows to a head 8 of a magnetic recorder and flows to a detecting resistance 20 from an input terminal 6 to generate a signal voltage V_0 . A level input voltage V_L is supplied to an input terminal 3 and is converted to a constant current I_1 by a voltage-current conversion circuit 14. This constant current I_1 is supplied to a constant current source 15 and flows to a resistance R_1 to generate an internal reference voltage V_{R1} . A voltage difference $\geq V_1$ between the signal voltage V_0 and the internal reference voltage V_{R1} is detected by a detecting circuit 12, and the gain of an AGC amplifying circuit 11 is adjusted through a feedback loop 13 so that this voltage difference ΔV_1 is minimized.

**(54) ERROR RECOVERY CIRCUIT**

- (11) 5-284526 (A) (43) 29.10.1993 (19) JP
 (21) Appl. No. 4-74580 (22) 30.3.1992
 (71) SONY CORP (72) MASAOKI SASAKI(1)
 (51) Int. Cl.⁵ H04N9/80, H04N5/92, H04N5/94, H04N9/88

PURPOSE: To constitute a digital VTR where the picture quality is high and pictures are recorded for a long time by selectively outputting plural interpolation value data from a correcting circuit based on the detection result of an edge detecting circuit and an error signal to minimize the degradation of the picture quality at the time of the occurrence of error.

CONSTITUTION: Vertical-direction and horizontal-direction space conceal circuits 52 and 54 and a time conceal circuit 60 perform the product sum processing of reproduced video data to obtain plural interpolation value data related to data correlations. An edge detecting circuit 56 detects edges based on respective video data of circuits 52 and 54 and the output from the time conceal circuit 60 and supplies the detection output to selectors 53, 55, and 58. Selectors 53, 55, 58, and 61 and an adding circuit 57 selectively output plural interpolation value data from vertical-direction and horizontal-direction conceal circuits 52 and 54 and the time conceal circuit 60 based on the detection result from the edge detecting circuit and an error flag.



59: motion detecting circuit, 28C, 28V: error recovery circuit

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-284524

(43)公開日 平成5年(1993)10月29日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 9/78	Z	8626-5C		
H 0 3 M 1/00		9065-5J		
H 0 4 N 9/73	Z	8626-5C		
9/79	Z	9185-5C		
9/80	A	9185-5C		

審査請求 未請求 請求項の数4(全 5 頁) 最終頁に続く

(21)出願番号 特願平3-274212

(22)出願日 平成3年(1991)10月22日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 小西 和夫

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝映像メディア技術研究所内

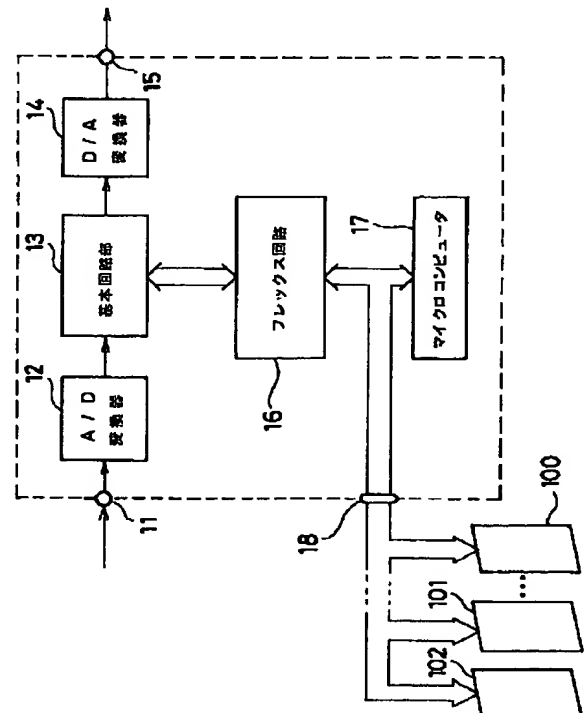
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 フレキシブル電子回路装置

(57)【要約】

【目的】 ユーザは同一の基本回路装置を所有するだけで、新たなプログラムを供給するだけで、いままでとは異なる方式で信号処理を行うことが可能となり、機能アップや信号形式が変更された場合、ユーザ、メーカーの双方に有益とする。

【構成】 処理すべき信号は、アナログデジタル変換されて基本回路部13に入力されるが、フレックス回路16は、マイクロコンピュータ17からの制御のもとに基本回路部13の機能ブロックとともに基本回路部13のみよる信号処理形態とは異なる形態に変化することができる。つまり基本回路部13の機能で不足する部分を支援することができる。基本回路部13から出力された信号は、デジタルアナログ変換器14を介して出力端子15へ導出される。



【特許請求の範囲】

【請求項1】 入力信号に対して、基本動作を得る基本回路と、

前記基本回路に対して双方向で信号のやり取りが可能に接続されたプログラム動作が可能なフレキシブル回路と、

前記フレキシブル回路に接続され、前記フレキシブル回路をプログラムにより制御可能な集中制御回路と、

前記集中制御回路に対して、外部から前記プログラムを入力可能な接続手段とを具備したことを特徴とするフレキシブル電子回路装置。

【請求項2】 前記接続手段は、中央制御装置及びメモリが内蔵された集積回路を搭載しているカード体であることを特徴とする請求項1記載のフレキシブル電子回路装置。

【請求項3】 前記カード体には、前記中央制御装置及びメモリの他に、前記フレキシブル回路の動作を補うために、前記固定機能の信号処理装置も搭載されていることを特徴とする請求項2記載のフレキシブル電子回路装置。

【請求項4】 前記基本回路には、予め規定された形式の信号を処理する機能ブロックが含まれており、前記フレキシブル回路には、少なくとも単位ロジック、セレクタ、反転器、単位遅延器を含むとともに、これらの回路接続パターンを前記集中制御回路からの制御データで可変可能なスイッチ群が含まれることを特徴とする請求項1記載のフレキシブル電子回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、各種の民生用電子装置、例えばテレビジョン装置、ビデオテープレコーダ（以下VTRと記す）等に用いられるフレキシブル電子回路装置に関する。

【0002】

【従来の技術】 現在、VTRやCDプレーヤ等は、1人1台の時代に突入し、またデジタル技術が進歩してあらゆる応用が可能になっている。このような状況のなかで、ユーザの要求も、上級機種を望んだり、追加機能のあるものを望んだり多岐に及ぶようになっている。これに対して、メーカー側もユーザの要求に答えるべく、少量多品種生産で望んでいる。

【0003】 例えば、VTRなどは、記録方式の異なるものもある。また、テレビジョン方式にあっても各種の方式や付加的な信号の伝送方式が開発されている。これに対して、メーカーは、各方式に対応したVTRの設計開発、テレビジョン受信機の開発設計を余儀なくされている。

【0004】

【発明が解決しようとする課題】 上記のように、電子装置が多岐にわたるようになったために、ユーザは、自分

の欲しい仕様がいくつかある場合、それに合わせて対応した機種を揃える必要があり、従来形から上級機種の数台ものVTRやテレビジョン受信装置を所有することがある。また、メーカー側においても、多品種の製品を揃えるために、生産ラインの組み替えや設計のやり直し、製品の開発設計を行う必要があり、多大な負担がかかっている。さらにまた、最近では、商品のサイクルが短く、ユーザ及びメーカーの双方にとって大きな負担がある。

10 【0005】 そこでこの発明は、ユーザは、同一の基本回路装置を所有するだけで、これに新たなプログラムを供給するだけで、いままでとは全く異なる方式の信号処理を可能とするフレキシブル電子回路装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 この発明は、入力信号に対して、基本動作を得る基本回路と、前記基本回路に対して双方向で信号のやり取りが可能に接続されたプログラム動作が可能なフレキシブル回路と、前記フレキシブル回路に接続され、前記フレキシブル回路をプログラムにより制御可能な集中制御回路と、前記集中制御回路に対して、外部から前記プログラムを入力可能な接続手段とを備える。

【0007】

20 【作用】 上記の手段により、前記フレキシブル回路は、集中制御回路により支援されて、前記基本回路を取り込み、プログラムに応じた信号処理回路に切り替わることができ、基本回路に無い信号処理機能を実現することが可能となる。外部から各種のプログラムを切り換え入力することにより、フレキシブル回路が変化可能な範囲で各種の信号処理回路を実現できる。

【0008】

【実施例】 以下、この発明の実施例を図面を参照して説明する。

【0009】 図1はこの発明の一実施例であり、基本構成を示している。通常は、処理すべき信号は、入力端子11に供給される。入力端子11は、アナログデジタル(A/D)変換器12に入力されてデジタル化される。A/D変換器12の出力端は、基本回路部13に入力される。基本回路部13は、いくつかの基本的な機能を得る回路を含んでいる。この基本回路部13で処理された信号は、デジタルアナログ(D/A)変換器14に入力されてアナログ信号となり出力端子15に導出される。

40 【0010】 ここで基本回路部13には、双方向に信号やり取り可能にフレックス回路16が接続されている。フレックス回路16は、その機能がマイクロコンピュータ17（集中制御回路）の制御のもとに設定されるもので、通常は、各種の回路もしくはゲートアレイが関連性なく実装されている。しかしマイクロコンピュータ17により制御されると、この制御のもとに所定に機能を発

揮するように構築される。

【0011】図において点線で囲むブロックは、電子機器内部に組み込まれており、外部端子18が設けられている。外部端子18には、カード体100、101、102を選択的に接続することができる。カード体には、マイクロコンピュータ17を動作させるための、プログラムが格納されており、必要に応じて所定の信号処理機能を持つハードウェアによる回路が組み込まれている。

【0012】上記したシステムによると、マイクロコンピュータ17を制御するプログラムを外部から入力することにより、フレックス回路16による信号処理回路パターンが構築可能である。またこの場合、基本回路部13内部に組み込まれている一部の回路を取り込んだ形であってもよい。

【0013】従って、フレックス回路16と基本回路13とにより、各種の信号に応じて適応的に信号処理を行うことができる。また、基本回路部13だけで行う信号処理に加えて、フレックス回路16の機能を付加することにより機能アップを得ることができる。

【0014】図2は、この発明が適用された一例であり、VTRの記録系回路において機能アップを図った例である。基本回路部13は、輝度・色信号(Y/C)分離回路21、ここで分離された輝度信号が供給されるY信号処理部22、分離された色信号が供給されるC信号処理部23を有する。またY信号処理部22、C信号処理部23から導出されたデジタル信号をマルチプレックスするマルチプレкса24を有する。マルチプレкса24の出力は、D/A変換器14に入力される。

【0015】ここで、フレックス回路16は、スイッチSW1、SW2、SW3を含む。スイッチSW1は、A/D変換器12の出力を、Y/C分離回路21若しくは減算器31及び係数乗算及び加算器32の第1入力端に供給することができる。係数加算器32の出力は、減算器31に入力される。また、スイッチSW2は、加算器31からの信号若しくはY/C分離回路21からの分離されY信号のいずれかを選択して、Y信号処理部22に入力することができる。スイッチSW3は、係数乗算及び加算器32からの色信号若しくはY/C分離回路21で分離されたC信号のいずれかをC信号処理部23に導入することができる。

【0016】前記スイッチSW1～SW3等は、プログラムにより制御される切り換え信号発生部33により制御される。この実施例は、基本回路13は、以前は、ライン相関を用いた楕形フィルタによりY/C分離回路21を形成していたのであるが、この機能アップのためにフレーム相関を用いたY/C分離回路に切り換えられた例である。この例は、たまたま、フィールドメモリをフレックス回路16の内部に準備していなかった例である。フレーム相関を利用するためには、遅延手段としてフィールドメモリが2つ必要であるが、この例では、基

本回路に不足しているハードウェアが、外部カード体100に装備されている。つまり、スイッチSW1の出力は、係数乗算及び加算器32に入力されるとともに、外部カード体100に設けられたフィールド遅延回路44にも入力される。外部カード体100には、フィールド遅延回路44と直列にフィールド遅延回路45も設けられている。フィールド遅延回路44の出力及びフィールド遅延回路45の出力は、係数乗算及び加算器32に入力されている。

【0017】上記のようにフレックス回路16が切り換えられた場合、3次元Y/C分離機能を実現することができる。つまり、カード体に設けられたフィールド遅延回路により、不足するハードウェアを支援し、フレックス回路16において機能アップを図ることができる。

【0018】基本回路部13、フレックス回路16の形態としては各種の実施例が可能である。例えばテレビジョン関連の信号処理回路を基本回路部13の内部に設け、フレックス回路16内部には、加算器、減算器、反転器、乗算器等を多数形成しておき、これらを各種の接続パターンにスイッチ群により切り換えられるように設定するものである。このようにすると、あとはプログラム次第で、内部のデジタル映像信号を各種加工処理したり、また外部カード体からの画像信号を内部の画像信号に合成するということが可能となる。基本回路部13の内部に設ける信号処理回路としては、VTRにおける記録、再生信号処理回路であってもよい。

【0019】なお上記の実施例では、外部カード体100を装填する場合、外部端子18が1つで外部カード体100も1であるように説明したが、外部端子18の数やこれに接続する外部カード体の数もこれに限定されるものではない。また、外部カード体としてはマイクロコンピュータを内蔵するように説明したが、特に内蔵しなくても、既に製品に搭載されているマイクロコンピュータ17の支配によりアクセスされるものであってもよい。またフレックス回路16の内部構成は、単にゲートと単位遅延があるだけでもよい。

【0020】

【発明の効果】以上説明したようにこの発明によれば、ユーザは、同一の基本回路装置を所有するだけで、これに新たなプログラムを供給するだけで、いままでとは異なる方式で信号処理を行うことが可能となり、機能アップや信号形式が変更された場合、ユーザ、メーカの双方に有利である。

【図面の簡単な説明】

【図1】この発明の一実施例における基本ブロックを示す図。

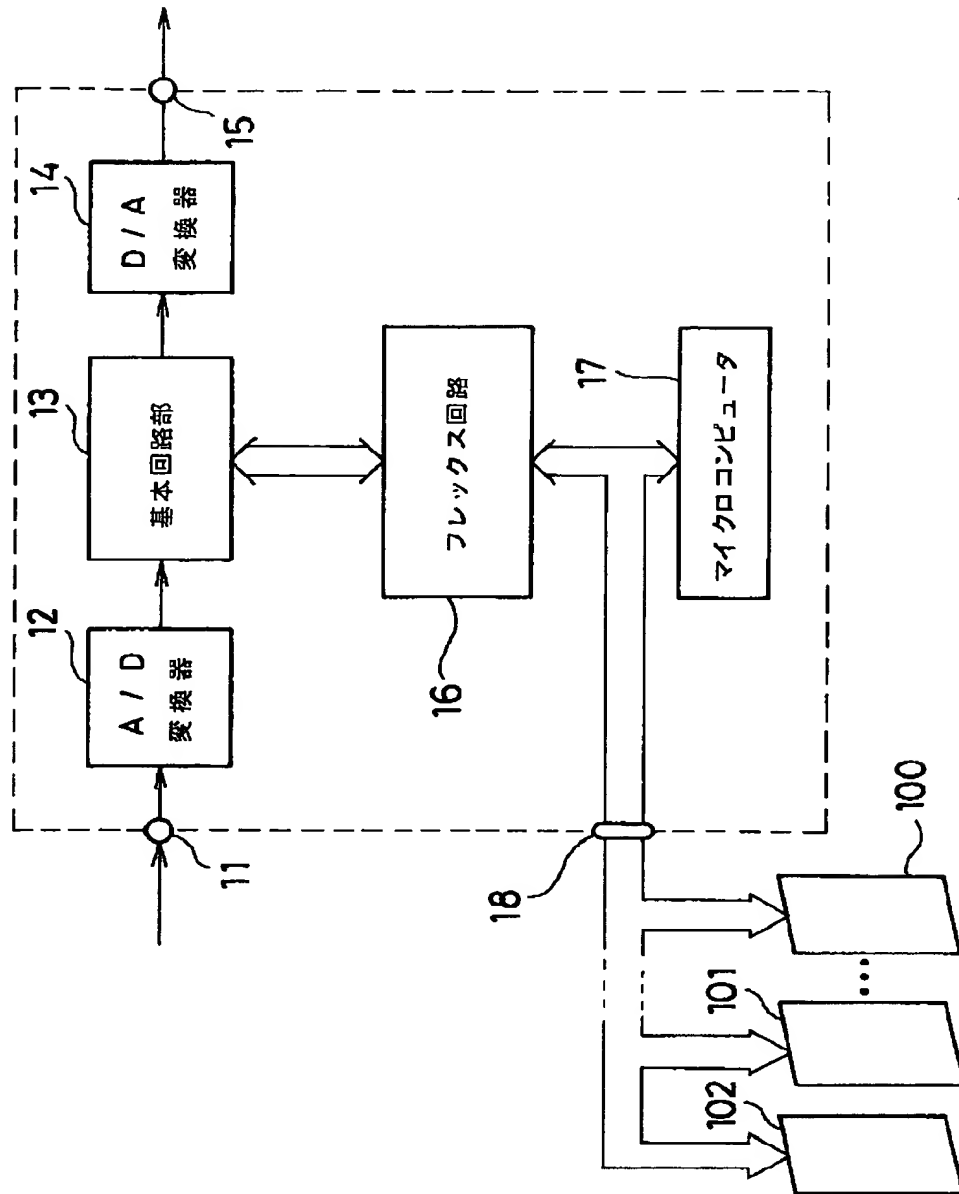
【図2】この発明を適用してY/C分離機能を実現した例を示す接続図。

【符号の説明】

12…A/D変換器、13…基本回路部、14…D/A

変換器、16…フレックス回路、17…マイクロコンピュータ、18…外部端子、100…カード体。

【図1】



[illegible]

(51) Int. Cl. ⁵
// G 1 1 B 20/00

F I

技術表示箇所